

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-013003
(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H05K 3/32
H01L 21/60
H01L 23/12
H01L 23/14

(21)Application number : 08-184224
(22)Date of filing : 26.06.1996

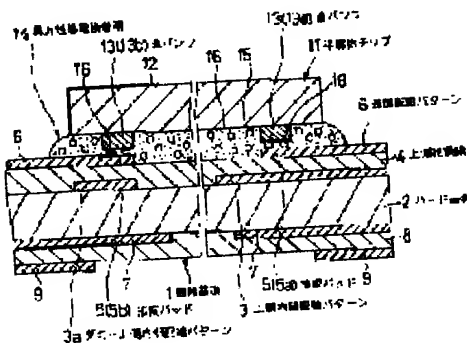
(71)Applicant : CASIO COMPUT CO LTD
(72)Inventor : KISHIGAMI MASAMITSU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the connection reliability between the bump of a semiconductor chip and the connection pad of a circuit board.

SOLUTION: A part of an upper inside wiring pattern 3 is arranged at the lower side of a right-side connection pad 5a via an upper insulation film 4 made of an elastically deformable epoxy resin, and a dummy upper inside wiring pattern 3a is arranged at the lower side of a left-side connection pad 5b via the upper insulation film 4, thus making equal the film thicknesses of the upper insulation film 4 below both the connection pads 5a and 5b. As a result, the upper insulation film 4 below both the connection pads 5a and 5b is compressed equally when a semiconductor chip 11 is mounted on a circuit substrate 1 via an anisotropic conductive adhesive 14 along with heated pressurization, thus making equal the connection reliability between a right-side gold bump 13a and the connection pad 5a below it and that between a left-side gold bump 13b and the connection pad 5b below it.



LEGAL STATUS

[Date of request for examination] 27.03.1997
[Date of sending the examiner's decision of rejection] 15.12.1998
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-13003

(43) 公開日 平成10年(1998) 1月16日

			識別記号		庁内整理番号		F I		B		技術表示箇所	
(51)Int.Cl.*												
H 0 5 K	3/32	3 1 1				H 0 5 K	3/32	3 1 1 S	Q	R		
H 0 1 L	21/60					H 0 1 L	21/60					
	23/12						23/12					
	23/14						23/14					
審査請求 有											請求項の数 5	FD (全 5 頁)

(21) 出願番号 特願平8-184224
(22) 出願日 平成8年(1996) 6月26日

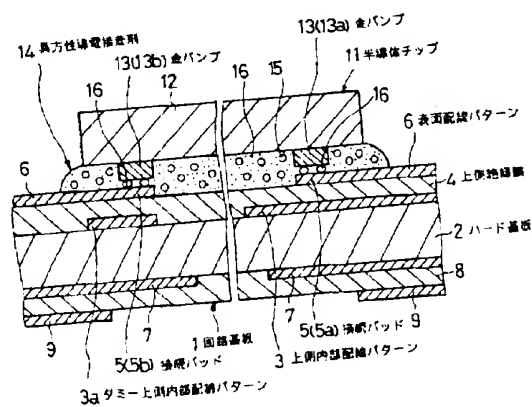
(71) 出願人 000001443
カシオ計算機株式会社
東京都新宿区西新宿2丁目6番1号
(72) 発明者 岸上 政光
東京都青梅市今井3丁目10番地6 カシオ
計算機株式会社青梅事業所内
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップの bumps と回路基板の接続パッドとの間の接続信頼性を良くする。

【解決手段】 右側の接続パッド5aの下側には弾性変形可能なエポキシ樹脂からなる上側絶縁膜4を介して上部内部配線パターン3の一部が配置され、左側の接続パッド5bの下側には上側絶縁膜4を介してダミー上部内部配線パターン3aが配置されている。これにより、両接続パッド5a、5bの下側の上側絶縁膜4の膜厚は同じとなる。このため、半導体チップ11を異方性導電接着剤14を介して回路基板1上に加熱加圧を伴って実装するとき、両接続パッド5a、5bの下側の上側絶縁膜4が同等に圧縮されることになる。この結果、右側の金 bumps 13aとそれ下の接続パッド5aとの間の接続信頼性と左側の金 bumps 13bとそれ下の接続パッド5bとの間の接続信頼性とを同等とすることができる。



【特許請求の範囲】

【請求項1】 基板の上面及びこの基板の上面に形成された内部配線パターンの上面に形成された絶縁膜の表面に複数の接続パッドを含む表面配線パターンが形成されてなる回路基板の前記複数の接続パッドに半導体チップの複数のチップを接続してなる半導体装置において、前記複数の接続パッドのすべての下側に前記内部配線パターンの一部を位置させたことを特徴とする半導体装置。

【請求項2】 請求項1記載の発明において、前記接続パッドの下側に位置する前記内部配線パターンの一部はダミー内部配線パターンからなることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の発明において、前記絶縁膜はエポキシ樹脂からなることを特徴とする半導体装置。

【請求項4】 請求項1～3のいずれかに記載の発明において、前記チップは金バンプからなることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれかに記載の発明において、前記チップと前記接続パッドとの接続は、前記半導体チップと前記回路基板との間に介在された異方性導電接着剤の導電性粒子を介しての接続であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関する。特に、半導体チップを回路基板上に実装してなる半導体装置に関する。

【0002】

【従来の技術】 例えばMCM(multi chip module)と呼ばれる半導体チップの実装技術では、1つの回路基板上に複数の半導体チップを直接搭載している。この場合、回路基板としては、多層配線構造のものを用いる場合が多い。図5は従来のこのような半導体装置の一部を示したものである。回路基板1は、ガラスエポキシ等からなるハード基板2の上面に上側内部配線パターン3が形成され、その上面全体にエポキシ樹脂からなる上側絶縁膜4が形成され、その上面に複数の接続パッド5を含む表面配線パターン6が形成され、ハード基板2の下側に下側内部配線パターン7が形成され、その下面全体にエポキシ樹脂からなる下側絶縁膜8が形成され、その下面に裏面配線パターン9が形成された構造となっている。この場合、図示していないが、表面配線パターン6と上側内部配線パターン3とは上側絶縁膜4内に形成されたコネクタホール導通部を介して接続され、上側内部配線パターン3と下側内部配線パターン7とはハード基板2内に形成されたスルーホール導通部を介して接続され、下側内部配線パターン7と裏面配線パターン9とは下側絶縁膜8内に形成されたコネクタホール導通部を介して接続されている。

【0003】 一方、半導体チップ11は、チップ本体12の下面周辺部に複数の金バンプ13が形成された構造となっている。この半導体チップ11は回路基板1上に異方性導電接着剤14を介して実装されている。異方性導電接着剤14は、表面に金属被膜が施された樹脂粒子等からなる導電性粒子15を絶縁製接着剤16中に混入したものからなっている。そして、回路基板1上に異方性導電接着剤14を介して半導体チップ11を位置合わせして載置した後、加熱加圧すると、金バンプ13が接続パッド5に適宜に弾性変形した導電性粒子15を介して接続されるとともに、半導体チップ11が回路基板1に接着剤16を介して接着される。かくして、半導体チップ11は回路基板1上に実装されている。

【0004】 ところで、一例として、半導体チップ11の下面が図6に示すようになっているとする。すなわち、半導体チップ11のチップ本体12が平面長方形形状であって、その下面の長手方向両端部に4つずつの金バンプ13が配置されているとする。すると、回路基板1の接続パッド5は、半導体チップ11の金バンプ13に対応して配置される関係から、図7に示すように配置されている。すなわち、図7において点線で囲まれた長方形領域は半導体チップ搭載エリアを示すが、この半導体チップ搭載エリア内の長手方向両端部に4つずつの接続パッド5が配置されている。しかるに、回路基板1の上側内部配線パターン3は、直接的には半導体チップ11の金バンプ13の配置と無関係であるので、例えば図8に示すように配置されているとする。すなわち、図8において点線で囲まれた長方形領域は半導体チップ搭載エリアに対応する領域を示すが、この領域内の右端部であって図7の右側のすべての接続パッド5に対応する位置に上側内部配線パターン3の各一部が配置される。同領域内の左端部であって図7の左側の所定の2つの接続パッド5に対応する位置にのみ上側内部配線パターン3の各一部が配置されているとする。すると、この半導体装置の図8のX-X線に沿う部分に対応する断面図は図9に示すようになる。この場合、右側の接続パッド5の下側には上側内部配線パターン3の一部が配置されているが、左側の接続パッド5の下側には上側内部配線パターン3が配置されていないことになる。

【0005】 ところで、回路基板1のエポキシ樹脂からなる上側絶縁膜4は、弾性変形可能であるので、加圧されると、圧縮されて薄くなる。このため、回路基板1上に異方性導電接着剤14を介して半導体チップ11を位置合わせして載置した後、加熱加圧する際に、接続パッド5と5b下の上側絶縁膜4が適宜に圧縮されて薄くなる。しかるに、図5に示すように、右側の接続パッド5と5b下の上側内部配線パターン3の一部が配置されているが、左側の接続パッド5と5b下の上側内部配線パターン3が配置されていない場合には、左側の接続パッド5と5b下の上側絶縁膜4の膜厚は右側の接続パッド5と5b下の上側絶縁膜4の膜厚よりも厚くなる。

4

10

20

38

4

5

ド5の表面にサズメッキ層を形成し、これに金バンパ13を共晶接合するようによい。また、接続パッド5の表面に金メッキ層を形成し、これに金バンパ13を金属拡散接合するようによい。さらに、半導体チップのバンパの材料は金に限らず、銅やニッケル等であってもよい。

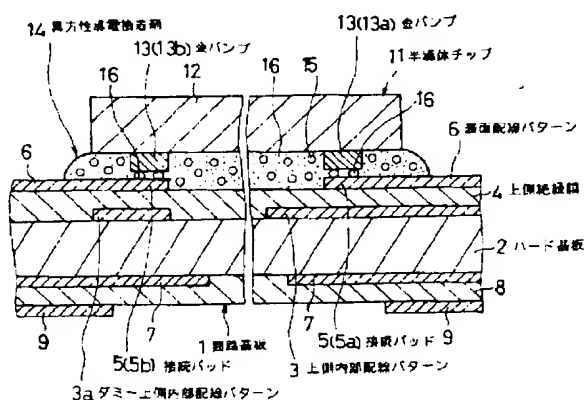
【0013】

【発明の効果】以上説明したように、この発明によれば、内部配線パターン1の各一部を複数の接続パッド5の下側に位置させているので、すべての接続パッド10下の絶縁膜の膜厚が同じとなり、このため半導体チップの接続パッド5に加压を伴って実装するとき、すべての接続パッド5下の絶縁膜が同等に圧縮されることとなり、この結果半導体チップのバンパと回路基板の接続パッド5との間の接続信頼性を良くすることができる。

【図面の簡単な説明】

【図1】 この発明の一実施形態における半導体装置の要部の断面図。

【図1】



6

【図2】 図1に示す半導体チップの底面図。

【図3】 図1に示す回路基板の平面図。

【図4】 図1に示すハード基板の平面図。

【図5】 従来の半導体装置の一部の断面図。

【図6】 図5に示す半導体チップの底面図。

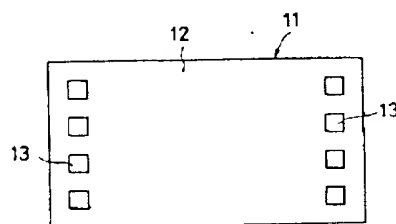
【図7】 図5に示す回路基板の平面図。

【図8】 図5に示すハード基板の平面図。

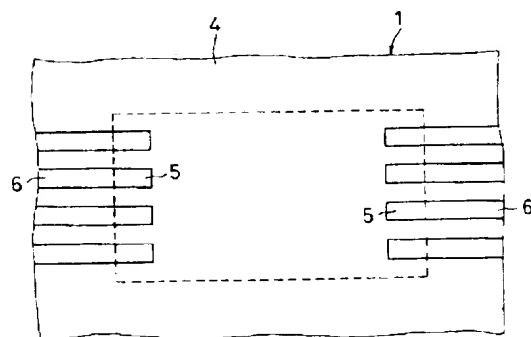
【符号の説明】

- 1 回路基板
- 2 ハード基板
- 3 上側内部配線パターン
- 3 a ダミー上側内部配線パターン
- 4 上側絶縁膜
- 5 接続パッド
- 11 半導体チップ
- 13 金バンパ
- 14 異方性導電接着剤

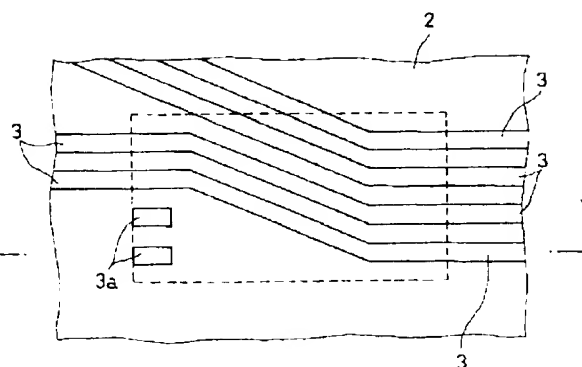
【図2】



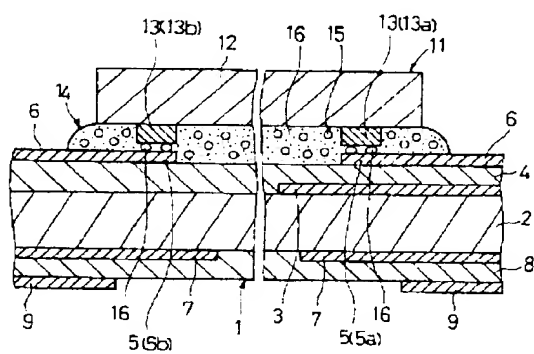
【図3】



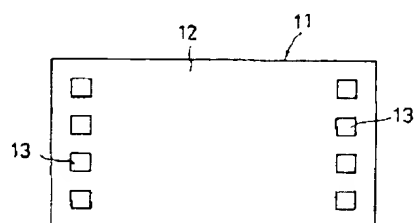
【図4】



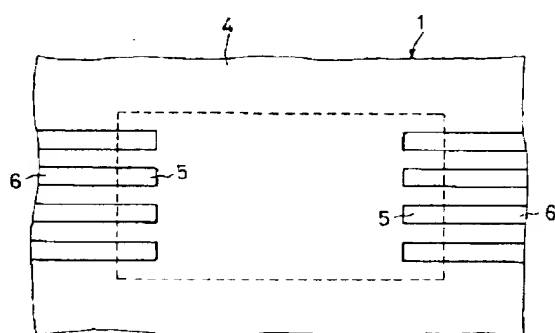
【図5】



【図6】



【図7】



【図8】

